

PAT-NO: JP359107554A

DOCUMENT-IDENTIFIER: JP 59107554 A

TITLE: SEMICONDUCTOR MODULE

PUBN-DATE: June 21, 1984

INVENTOR-INFORMATION:

NAME

ITO, TSUNEO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

HITACHI LTD

N/A

APPL-NO: JP57216848

APPL-DATE: December 13, 1982

INT-CL (IPC): H01L023/52, H01L023/12, H01L023/42

US-CL-CURRENT: 257/686, 257/E23.009

ABSTRACT:

PURPOSE: To contrive the realization of a smaller-sized semiconductor module with higher integration by a method wherein an SiC with high resistivity is directly provided with an Si layer for making an IC and the IC is made one unit, and the plural units are laminated.

CONSTITUTION: BN and BeO are mixed in SiC and sintered, and bases 5, 6 and 7 turned into insulators are approximate to Si in coefficient of thermal expansion, the thermal conductivity is over 30 times larger than that of Al<SB>2</SB>O<SB>3</SB> and the strength is also about two times larger. A polycrystalline Si is epitaxially formed on each base and made into single crystal for being formed into Si layers 8, 9 and 10, an IC is formed on the surfaces, Al wiring layers 11, 12 and 13 and electrode pads 14, 15 and 16 are made and soldering bumps 17, 18 and 19 are attached to one part of the pads. At units 2 and 4, holes 20 and 21 penetrating the bases and the Si layers are arranged in a row for disposing in upright external lead pins 22 and 23 filled with conductive material. Conductive material are filled in the transparent hole 24 of unit 3 as well. The units 2, 3 and 4 are laminated, applied

pressure and heat, and integrally formed in one body with each other.
According to this structure, a semiconductor module can be enhanced the integration and, at the same time, the strength and heat radiating property of the entire module are improved, and moreover, the size can be miniaturized.

COPYRIGHT: (C)1984,JPO&Japio

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—107554

⑬ Int. Cl.³
H 01 L 23/52
23/12
23/42

識別記号

庁内整理番号
6428—5 F
7357—5 F
6616—5 F

⑭ 公開 昭和59年(1984)6月21日

発明の数 1
審査請求 未請求

(全 4 頁)

⑮ 半導体モジュール

社日立製作所デバイス開発セン
タ内

⑯ 特 願 昭57—216848

⑰ 出 願 人 株式会社日立製作所

⑱ 出 願 昭57(1982)12月13日

東京都千代田区丸の内1丁目5
番1号

⑲ 発 明 者 伊藤恒夫

小平市上水本町1450番地株式会

⑳ 代 理 人 弁理士 薄田利幸

明 細 書

発明の名称 半導体モジュール

特許請求の範囲

1. 比抵抗の高いシリコンカーバイドからなるベースの表面に直接シリコン層を形成してこれに集積回路を形成し、これを一単位として複数単位を積層配置してモジュールを形成したことを特徴とする半導体モジュール。
2. 各単位は、夫々の表面に形成したパンプや電極パッドにて直接に電気接続してなる特許請求の範囲第1項記載の半導体モジュール。
3. 最も外側の単位に外部リードを設けてなる特許請求の範囲第1項又は第2項記載の半導体モジュール。
4. 周囲に水冷パイプを取巻してなる特許請求の範囲第1項乃至第3項のいずれかに記載の半導体モジュール。

発明の詳細な説明

本発明は高集積型半導体モジュールに関し、特に全体強度や放熱性の向上を図ると共に小型化を

達成することができる半導体モジュールに関するものである。

従来の半導体モジュールは、セラミック材等のパッケージベース上に半導体素子ペレットを固着しかつこれに所定の電気接続を施したものを一単位として構成し、これら各単位を複数段に積層配置して一体化することにより一つのモジュールを構成するようになっている。

ところで、この種の半導体モジュールでは、各単位けもとよりモジュール全体の信頼性強度を確保するために、前述したセラミック製パッケージベースの厚さを大きいものに形成している。このため集積度の増大に伴なって積層段数が増えてくるとモジュール全体の厚さが極めて大きなものとなり、高集積度かつ小型(薄型)のモジュールを得ることが困難になる。

また、セラミック材は一般に熱伝導率が低いために、特に多段配置したモジュールの中間に配置された単位にあっては、ペレットにおいて発生した熱をパッケージベースを通して放散させること

が困難となり、モジュールの積層段数の増大に限界が生じて高集積化の障害になっている。

更に、シリコンを主体とする素子ペレットとセラミック製パッケージベースとは熱膨張係数が大幅に異なるため、ペレットの固着実装に際しても単なる固着では熱膨張係数の差に基づきペレットクラックが生じ易く、したがって固着構造にも種々の対策を施さなければならず、構造の複雑化やコスト高を生ずる等の問題も生じている。

したがって本発明の目的は、モジュールの積層段数の増大を図って高集積化を実現する一方で、全体強度の向上および放熱性の向上、更には小型化を達成することができる半導体モジュールを提供することにある。

この目的を達成するために本発明は比抵抗の高いシリコンカーバイトに直接シリコン層を形成してこれに集積回路を形成し、かつこれを一単位として複数単位を積層配置してモジュールを構成したものである。

以下、本発明を図示の実施例により説明する。

前記ベース5、6、7は必要な強度が得られる範囲で薄く形成している。またシリコン層8、9、10は各ベース上にエピタキシャル成長した多結晶シリコンを例えばゾーンメルト法によって単結晶化する等の方法によって形成している。そして、シリコン層8、9、10の表面には集積回路を形成したことによりアルミ配線層11、12、13および電極パッド14、15、16が形成され、更に電極パッドの一部には半田等を用いてパンプ17、18、19を形成している。

更に前述のように形成した各単位の内、上、下の各単位2、4にはベース5、7およびシリコン層8、10を貫通する複数個のスルーホール20、21を並列形成し、スルーホール20、21内には導電材料を充填すると共に外部リードとしてのピン22、23を夫々ベース5、7表面側に立設している。また、中の単位3にもスルーホール24内に導電材料を充填している。

しかる上で、前記上、中、下の各単位2、3、4を上下方向に積層して加熱状態で挟圧すれば、

第1図乃至第3図は本発明の半導体モジュールを示し、本実施例のモジュール1は第3図の分解図に示されるように上、中、下の3個の各単位2、3、4を積層した構成となっている。これらの各単位2、3、4はいずれも比抵抗の高いシリコンカーバイト(810)をベース5、6、7とし、このベース上にシリコン層8、9、10を一体に形成した上でシリコン層表面部に公知の技術により集積回路を形成している。前記ベース5、6、7は特開昭56-66086号や特開昭57-2591号に記載されているようにシリコンカーバイトを主成分とし、これに酸化ベリリウム、酸化ホウ素の少なくとも1種を数%含有させて焼結したものであり、これにより本来は電気的に半導体であるシリコンカーバイトの比抵抗を大きなものにして絶縁物化している。また、このようにして形成されたシリコンカーバイトのベースは、熱膨張係数がシリコンに極めて近く、かつ熱伝導率はアルミナの30倍以上ある。更に機械的強度もアルミナの約2倍ある。

各単位は対向するパンプ17、18、19と電極パッド14、15、16とが夫々接続され、所謂フェースダウンボンディングと同様に電気接続される。これにより、各単位2、3、4は厚さ方向に一体化されてモジュールとして構成される。そして、モジュール1の外周囲には金属材料からなる水冷パイプ25を取着し、前記各単位に生じた熱を効果的に吸収し得るように構成している。

以上の構成によれば、ベース5、6、7は比抵抗の高いシリコンカーバイトにより形成してその機械的強度がアルミナの2倍であるため、ベースの厚さを従来のセラミック製パッケージベースの半分にしてもこれと同等の強度を保持できる。また、これと合わせてシリコン層8、9、10をベース上に直接形成しているため素子としての厚さも低減でき、結局各単位2、3、4の個々の厚さをもとよりモジュール全体の厚さを低減できる。これにより、多数の単位を積層したモジュールを構成してもその厚さを小さいものにできると共に充分な強度を確保できる。また一方、前記ベース

の熱伝導率はアルミナの30倍以上であるため、シリコン層8、9、10に発生した熱は極めて良好にベース5、6、7に伝達されその表面から放散される。特に、中間の単位3においてはベース6の周辺から放散される。そして、本例では水冷パイプ25内を通流される冷却水によって熱が吸収される。これにより、多数の単位をモジュール化した場合にも熱の問題は全く生じない。更に、前記ベースの熱膨張係数はシリコンと殆んど等しいので、温度変化を受けるときにもシリコンのクラックが発生することはない。

したがって、この構成によれば、各単位の厚さを低減すると共に積層する単位の数にも制限を受けることがないので、モジュールとしての高集積化を実現する一方で、必要な強度を確保しかつその放熱性を向上し、しかもモジュールの厚さを低減して小型化を図り得るのである。

ここで、前例の水冷パイプは必要に応じて設ければよく、必ずしも必要とされるものではない。また、積層段数を増大する場合には中間の単位を

複数個増設すればよい。勿論、各単位の構成は適宜変更でき、特に外部リードの配列や構造は任意に変更できる。

なお、シリコン層は薄板状のシリコンウエーハをベースに貼着する構造にしても充分な効果が得られる。

以上のように本発明の半導体モジュールによれば、比抵抗の高いシリコンカーバイトからなるベースに直接シリコン層を形成してこれに集積回路を形成し、これを一単位として複数単位を積層配置してモジュールを形成しているので、ベースの材質の熱伝導率により放熱効果を高め、かつ強度により薄型化を進めることができるので、積層する単位数の制限もなくなり、これにより高集積を達成すると共にその信頼性強度及び放熱特性を向上し、かつ一方ではモジュールの小型化を達成することができるという効果を奏する。

図面の簡単な説明

第1図は本発明の半導体モジュールの一部破断斜視図、

第2図は断面図、

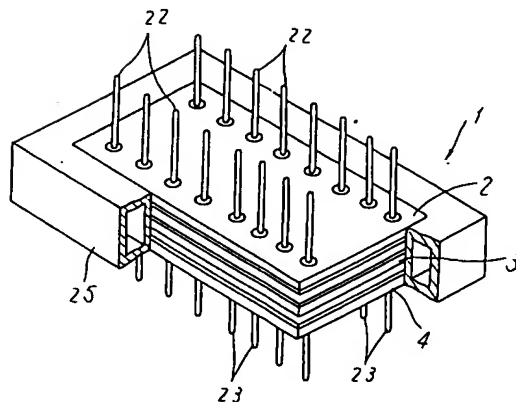
第3図は部分分解断面図である。

1…モジュール、2、3、4…単位、5、6、7…ベース、8、9、10…シリコン層、11、12、13…配線層、17、18、19…パンプ、22、23…外部ピン、25…水冷パイプ。

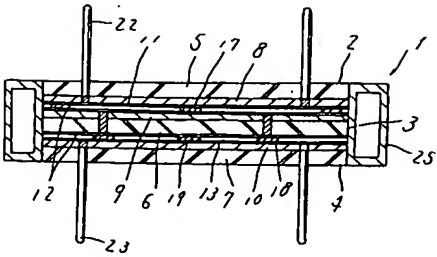
代理人 弁理士 薄田 利



第 1 図



第 2 図



第 3 図

